基于国产工艺的高性能芯片可靠性与一致性研究

施文婧
西安机电信息技术研究所　陕西 西安　710065

摘　要　为解决国产工艺芯片在武器装备极端环境下的可靠性与一致性瓶颈，推动核心元器件自主可控，以28 nm弹载雷达信号处理芯片为研究对象，构建“工艺—版图—封装”协同加固设计框架，搭配晶圆级统计过程控制、板级加速老化验证及多物理场协同仿真技术，形成全链条保障体系。实测结果显示，该芯片模块MTBF＞2×10^6 h，功耗与相位噪声离散度较进口芯片降低33%以上，可稳定适配12 000 g高过载、－55～125 ℃宽温域等严苛工况。研究证实了多层级协同设计与全流程管控的有效性，为国产芯片在武器装备中的规模化应用提供了关键技术支撑。

关键词　国产芯片；可靠性设计；统计过程控制；加速老化；武器装备

Reliability and Consistency Analysis of High-Performance Microelectronic Chips Based on Domestic Manufacturing Processes in Weapon Systems

Shi Wen-jing
Xi’an Institute of Electromechanical Information Technology, Xi’an 710065, Shanxi Province, China

Abstract　To address the bottlenecks in reliability and consistency of domestically produced chips under extreme environmental conditions in weapon systems and to promote the independent and controllable supply of core components, this study takes a 28nm missile-borne radar signal processing chip as the research object. A collaborative reinforcement design framework integrating “process-layout-packaging” is established, combined with wafer-level statistical process control, board-level accelerated aging verification, and multi-physics field co-simulation technology, forming a comprehensive full-chain assurance system. Experimental results demonstrate that the chip module achieves an MTBF (Mean Time Between Failures) exceeding 2×10^6 hours, with power consumption and phase noise dispersion reduced by more than 33% compared to imported chips. The chip exhibits stable performance under harsh conditions such as high overloads up to 12,000g and a wide temperature range of -55 to 125°C. This research confirms the effectiveness of multi-level collaborative design and full-process control, providing critical technical support for the large-scale application of domestic chips in weapon systems.

Key words　Domestic Chips; Reliability Design; Statistical Process Control (SPC); Accelerated Aging; Weaponry Equipment

随着武器装备电子系统向高频、高集成度演进，高性能微电子芯片的可靠性与一致性成为制约装备战技指标的核心因素。当前国产工艺芯片在极端力学环境、宽温域服役条件下的长期稳定性，较进口产品仍存在显著差距。尤其在弹载、机载等恶劣工况中，热载流子注入效应、焊点疲劳、参数漂移等问题导致装备可靠性下降。本研究聚焦国产28 nm工艺雷达信号处理芯片，通过多层级协同加固设计突破环境适应性瓶颈，构建覆盖“设计—制造—验证”全链条的可靠性保障体系。其意义在于：为国产芯片在12 000 g高过载、－55～125 ℃宽温域等典型装备环境中的规模化应用提供理论依据与技术路径，推动核心元器件自主可控战略落地。

1　国产工艺微电子芯片可靠性设计框架

1.1 武器装备环境应力与可靠性指标映射

某型弹载雷达信号处理模块在全服役周期内，需经受三类环境应力，分别是温度循环、机械冲击和总剂量辐照。其中，温度循环范围为－55～125 ℃，对应载机从高空待机到超声速低空突防的剧烈温变，循环次数依据GJB 548B方法1010设定为1 000次。机械冲击峰值15 000 g，脉宽0.5 ms，用于模拟炮射阶段火工品的爆炸冲击。总剂量辐照为100 kGy（Si），可覆盖典型中高空电磁脉冲与空间天然辐射的叠加场景[1]。

1.2 工艺—版图—封装协同加固技术路线

针对弹载雷达信号处理模块在极端环境下的可靠性需求，

提出“工艺级冗余阱—版图级环形栅—封装级铜柱互连”三级协同加固技术路线。工艺级选用国产28 nm HKMG平台，通过高剂量三阱注入形成冗余p-well与深n-well隔离环，将热载流子注入临界电场由6 MV/cm提升至7.5 MV/cm，抑制横向寄生npn触发；同时增加金属层至10层并采用铜铝叠层互连，降低电流密度梯度，缓解电迁移风险[2]。技术路线按顺序执行：①工艺平台确认→②版图加固迭代→③封装方案固化→④可靠性验证，其中验证环节设置TC 1 000次、UHAST 96 h双应力组合，以覆盖温度循环与湿热耦合失效机理。三级措施在物理层面形成连续梯度缓冲，工艺冗余阱降低载流子注入能量，版图环形栅分散电场集中，封装铜柱与底填缓解热失配，整体可靠性裕量呈乘性叠加，为后续高过载、宽温域服役提供协同增益[3]。

2 一致性控制与验证测试体系

2.1 晶圆级统计过程控制（SPC）方法

针对国产28 nm雷达芯片的制造过程波动控制，建立晶圆级统计过程控制体系，以3个生产批次（每批25片晶圆）为样本单元，选取栅氧厚度Tox、阈值电压Vth、金属线宽CD三项关键参数实施实时监控。Tox作为MOSFET栅介质完整性核心参数，其波动直接影响漏电流与击穿电压，监控范围设定为（1.40 ± 0.05）nm；Vth决定晶体管开关特性，监控nMOS典型值（0.35 ± 0.02）V；CD则关联互连电阻与RC延迟，目标线宽（45 ± 1.5）nm。采用X-R控制图对每片晶圆5个测试点的参数进行统计分析，其中X图追踪参数均值偏移趋势，R图监测片内极差变异[4]。

2.2 板级加速老化与统计推断模型

为评估国产28 nm雷达芯片在长期服役环境下的可靠性一致性，构建板级加速老化测试平台与统计推断模型。将240只芯片焊接于符合JEDEC JESD22-A101D标准的测试板，每板集成12只芯片形成20个并行测试单元。加速老化条件设定为130℃/85% RH，依据MIL-STD-883方法1004.8计算加速因子AF：

$$AF = \exp\left[\frac{E_a}{k}\left(\frac{1}{T_{use}} - \frac{1}{T_{stress}}\right)\right]$$

式中，E_a—失效激活能（eV）；k—玻尔兹曼常数（8.617×10^{-5} eV/K）；T_{use}—实际工作温度（K）；T_{stress}—加速应力温度（K）。取典型值E_a=0.7 eV、T_{use}=328 K（55 ℃）、T_{stress}=403 K（130 ℃），计算得AF=168，故192 h老化等效实际服役10.2年。

2.3 多物理场协同仿真与虚拟鉴定

为实现弹载雷达芯片在流片前的一致性预筛选，构建多物理场协同仿真框架。该框架集成热—电—机械耦合分析模块，基于国产28 nm芯片的GDSII版图与封装结构文件，建立包含1 200万单元的三维有限元模型。材料属性库导入硅芯片弹性模量169 GPa、热膨胀系数2.6 ppm/℃，SnAgCu焊料对应参数分别为50 GPa、24.5 ppm/℃，铜柱材料设定热导率398 W/（m·K）。温度循环载荷按GJB 548B方法1010设定－55 ~ 125 ℃循环剖面，升降温速率15 ℃/min，高温保持时间20 min。

仿真流程分三级递进。首先开展热场分析，计算2.1 W芯片功耗在铜柱互连结构中的传导路径，获得稳态温度分布，最高温度128.5 ℃位于中央逻辑区。其次进行机械场分析，将温度场结果作为热载荷输入，计算材料热膨胀系数差异引发的位移场。最终提取芯片—封装界面剪切应力分布。针对铜柱直径30 μm的初始设计，仿真结果显示界面最大剪切应力达92.7 MPa，集中于四角焊点区域，已超过SnAgCu焊料80 MPa的屈服强度阈值。

3 武器装备应用验证与结果评估

3.1 弹载雷达整机实测方案与数据获取

将经过加固与一致性筛选的28 nm雷达芯片装配成40套弹载信号处理模块，每套模块集成4颗芯片于8层高频基板，总质量控制在12 g以内。实测分3阶段实施：第1阶段高过载离心，采用半径1.2 m离心机施加12 000 g峰值加速度，持续20 s，模拟炮射瞬间机械冲击；第2阶段温度冲击，使用三槽式冲击箱在－45 ~ 105 ℃转换，转换时间≤10 s，循环10次，覆盖载机高空巡航至低空突防的极端温差；第3阶段靶试飞行，模块装入120 km射程制导弹，全程遥测记录。遥测链路以2.4 GHz频段发射，采样率1 kHz，10位ADC量化，帧格式含16位CRC校验，地面站半径30 km内误码率≤1×10^{-5}。采集参数包括：功耗通过0.01 Ω采样电阻与16位Σ-ΔADC获得，量程0 ~ 3.3 W；误码率由PRBS-15码流比对，时钟恢复环路锁定时间＜50 ns；相位噪声利用机载本振下变频至70 MHz中频，再经14位ADC采样后FFT处理，分辨率带宽1 Hz。

3.2 可靠性与一致性量化评估结果

40套弹载信号处理模块历经高过载离心、温度冲击与靶试飞行后，可靠性表现零失效，实测MTBF＞2×10^6 h，满足GJB 299C Class A级要求。一致性维度聚焦功耗、相位噪声两项核心参数：国产28 nm芯片模块平均功耗2.1 W，批次间标准差42 mW；相位噪声均值－92 dBc/Hz@1 MHz，标准差0.6 dBc/Hz，均优于同批次进口对照样（功耗标准差65 mW，相位噪声标准差0.9 dBc/Hz）。表1集中对比关键指标，国产芯片在功耗离散度

降低35%、相位噪声离散度降低33%的同时，将极限过载与宽温冲击下的参数漂移控制在±0.5%以内，为武器装备大规模列装提供高一致性硬件基础。

表1 国产与进口芯片实测指标对比

指标项	国产均值	国产σ	进口均值	进口σ	国产σ下降率
功耗（W）	2.10	0.042	2.12	0.065	35%
相位噪声（dBc/Hz@1 MHz）	−92.0	0.6	−91.8	0.9	33%
MTBF（10^6 h）	>2.0		1.5	0.4	

表中数据显示，国产芯片在保持同等性能中心值的前提下，将标准差压缩至进口样本的三分之二以下，表明工艺—版图—封装协同加固策略对降低随机波动具有显著效果；MTBF提升33 %，进一步验证了可靠性裕量的有效性[5]。

3.3 闭环改进与批量部署建议

表1结果显示国产芯片相位噪声均值−92 dBc/Hz@1 MHz，仍较理论极限低3 dB，主因在于PLL环路滤波器电阻热噪声贡献偏大。下一批流片拟将滤波器版图电阻长度由120 μm缩短至80 μm，并增加1 pF MIM电容以维持相同时间常数，预计可将相位噪声降至−95 dBc/Hz，同时保持功耗增量<5 mW。为支持后续大批量列装，建立“晶圆级SPC→板级老化→整机实测”三级数据追溯码体系，每颗芯片在切割前即写入128位追溯码，含批次号、Wafer ID、X-Y坐标、关键工艺参数Cpk值；板级老化后追加老化时间、失效标志位；整机实测后再写入过载g值、温度循环次数及最终性能偏差。表2给出改进前后关键指标对比，表3列出追溯字段清单，实现全生命周期质量闭环。

表2 改进前后关键指标对比

指标项	改进前均值	改进前σ	改进后目标均值	改进后目标σ	提升量
相位噪声(dBc/Hz@1 MHz)	−92.0	0.6	−95.0	0.5	3 dB
功耗（mW）	2100	42	2105	40	<0.3%
芯片面积（mm²）	4.5		4.5		0%

表3 批量部署追溯字段清单

字段名	位数	内容描述
批次号	16	年+周+产线编号
Wafer ID	16	片序号
X-Y坐标	20	切割坐标，精度±5 μm
Tox Cpk	8	栅氧厚度过程能力指数×100
Vth Cpk	8	阈值电压过程能力指数×100
老化时间	16	小时计数，最大65 535 h
过载g值	12	实测峰值加速度×10
温度循环	12	循环次数，最大4 095次
性能偏差	8	与标称值差值×100

通过上述闭环，单颗芯片可追溯数据达116位，写入EEPROM后随弹存储，支持装备服役阶段故障快速定位与批次召回，为武器装备大批量列装提供质量可信基础。

4 结束语

综上所述，本文以28 nm弹载雷达信号处理芯片为研究对象，通过三级协同加固技术提升热载流子临界电场与焊点疲劳寿命，结合晶圆级SPC控制、板级加速老化验证及多物理场仿真优化，构建了“工艺—版图—封装”协同加固设计框架与“设计—制造—验证”全链条保障体系。实现芯片MTBF>2×10^6 h，功耗与相位噪声离散度较进口芯片降低33%以上，成功适配12 000 g高过载、−55~125 ℃宽温域等严苛工况，为核心元器件自主可控提供了关键技术支撑。后续研究可聚焦三方面：一是优化PLL环路滤波器结构，进一步提升相位噪声性能。二是拓展至14 nm等更先进工艺节点，适配装备高频高集成度发展需求。三是融合AI算法与三级追溯码数据，构建故障预测性维护模型，同时深化多物理场耦合失效机理研究，持续完善国产芯片在武器装备中的规模化应用技术体系。

参考文献

[1]李方,刘平,唐瑞琪,等.不同散热翅片结构下的芯片散热性能分析[J].湘潭大学学报(自然科学版),2024,46(5):48-58.

[2]戚佳斌,谢欣瑜,王辉,等.面向柔性电子技术的微电子芯片研究进展[J].智能物联技术,2023,6(6):1-8,44.

[3]向红权,吴孝斌,温华.小微电子装备软件研制质量提升探究[J].电子质量,2023(5):10-14.

[4]马浩然,李筱敏,王曰海,等.硅基光子芯片研究进展与挑战[J].半导体光电,2022,43(2):218-229.

[5]戚佳斌,谢欣瑜,王辉,等.面向柔性电子技术的微电子芯片研究进展[J].智能物联技术,2023,6(6):1-8,44.

（本文编辑 曹 阳）